

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-298623

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl.<sup>6</sup>

H 0 2 M 7/48

識別記号

庁内整理番号

F I

技術表示箇所

C 9181-5H

F 9181-5H

M 9181-5H

9181-5H

7/5387

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号

特願平6-80162

(22) 出願日

平成6年(1994)4月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 金崎 庄治

東京都府中市東芝町1番地 株式会社東芝  
府中工場内

(72) 発明者 宮崎 聖

東京都府中市東芝町1番地 株式会社東芝  
府中工場内

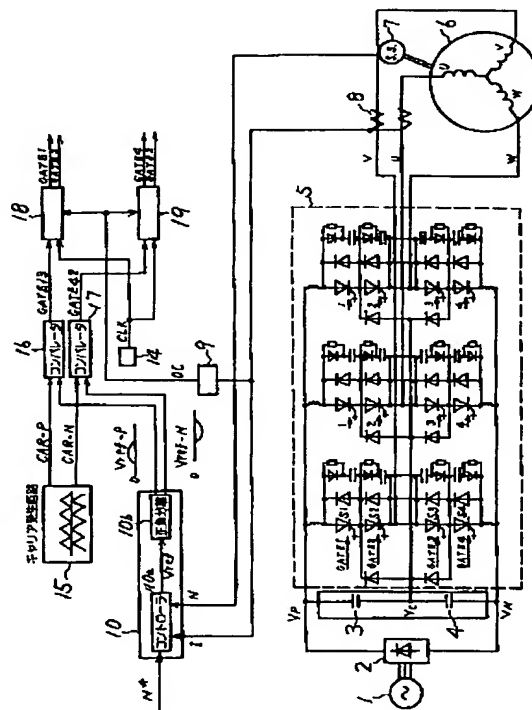
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 中性点クランプ式インバータ

(57) 【要約】

【目的】 過電流保護を行うときに、中性点電位にクランプするスイッチ素子を過電圧から保護すること。

【構成】 交流出力の電流が所定値を越えるとき、前記正側アームと負側アームの直流電圧源側に接続されたスイッチ素子 S1、S4 をオフすると共に交流出力側に接続されたスイッチ素子 S2、S3 のスイッチング状態を接続させる過電流保護手段 18、19 を設けたもの。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 2組のスイッチ素子の直列回路で成る正側アームと負側アームを直列接続して直流電圧源の正負間に接続すると共に正側アームと負側アームの接続点から交流出力を得るブリッジ回路を備え、前記正側アームと負側アームの2組のスイッチ素子の直列接続点を前記直流電圧源の中性点電位にクランプするダイオードをそれぞれ接続した中性点クランプ式インバータにおいて、交流出力の電流が所定値を越えるとき、前記正側アームと負側アームの直流電圧源側に接続されたスイッチ素子をオフすると共に交流出力側に接続されたスイッチ素子のスイッチング状態を継続させる過電流保護手段を設けたことを特徴とする中性点クランプ式インバータ。

【請求項 2】 2組のスイッチ素子の直列回路で成る正側アームと負側アームを直列接続して直流電圧源の正負間に接続すると共に正側アームと負側アームの接続点から交流出力を得るブリッジ回路を備え、前記正側アームと負側アームの2組のスイッチ素子の直列接続点を前記直流電圧源の中性点電位にクランプするダイオードをそれぞれ接続した中性点クランプ式インバータにおいて、正あるいは負の交流半波電圧を出力させるための正あるいは負の PWM 信号のオン／オフ指令に応じて前記正側アームあるいは前記負側アームの直流電圧源側に接続されたスイッチ素子をオン／オフすると共に、前記負側アームあるいは前記正側アームの交流出力側に接続されたスイッチ素子をオフ／オンするゲート信号を出力するゲート駆動部を備え、交流出力の電流が所定値を越えるとき、直流電圧源側に接続されたスイッチ素子をオフすると共に一定時間後に交流出力側に接続されたスイッチ素子をオンにする過電流保護手段を設けたことを特徴とする中性点クランプ式インバータ。

【請求項 3】 2組のスイッチ素子の直列回路で成る正側アームと負側アームを直列接続して直流電圧源の正負間に接続すると共に正側アームと負側アームの接続点から交流出力を得るブリッジ回路を備え、前記正側アームと負側アームの2組のスイッチ素子の直列接続点を前記直流電圧源の中性点電位にクランプするダイオードをそれぞれ接続した中性点クランプ式インバータにおいて、正あるいは負の交流半波の電圧基準と正あるいは負の電圧範囲のパルス幅変調波を比較して正あるいは負の交流半波電圧を出力させる PWM 信号を出力する PWM 制御手段と、該 PWM 信号のオン／オフ指令に応じて直流電圧源側のスイッチ素子をオン／オフすると共に、交流出力側のスイッチ素子をオフ／オンするゲート駆動部と、交流出力の電流が所定値を越えるとき、前記正あるいは負の交流半波の電圧基準を零にする過電流保護手段を設けたことを特徴とする中性点クランプ式インバータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、中性点クランプ式イン

バータ（以下、NPC (Neutral Point Clamp) インバータ）に係り、特にゲート駆動部を改良した NPC インバータに関するものである。

## 【0002】

【従来の技術】 NPC インバータとして、図 4 に示す構成のものがあり、その概要を以下に説明する。交流電源 1 の交流電圧がコンバータ 2 により直流電圧  $V_P - V_N$  に変換され、コンデンサ 3、4 により平滑されると共に中性点電位  $V_c$  を得、インバータ 5 により交流電圧  $U - V - W$  に変換して交流電動機 6 を駆動する。インバータ 5 のスイッチ素子は各相毎にゲート駆動部 18、19 によってオン、オフ制御される。図 4 のゲート駆動部は 1 相分を代表して示したものである。電圧基準出力部 10 のコントローラ 10a には、速度基準  $N^*$  が入力され速度検出部 7 によって検出される交流電動機 6 の速度  $N$  と比較され電流基準を生成し、該電流基準は電流検出器 8 によって検出される電流  $I$  と比較され交流の電圧基準  $V_{ref}$  を生成し、正負分離部 10b で正極性と負極性の電圧基準信号  $V_{ref-P}$  と  $V_{ref-N}$  に分離して出力される。これらの信号は、コンプレータ 16 と 17 によってキャリア発生部 15 から出力される三角波の変調波  $CAR-P$ 、 $CAR-N$  と比較されパルス幅変調された PWM 信号  $GATE13$ 、 $GATE42$  に変換されゲート駆動部 18 と 19 に入力される。なお発振器 14 は、制御クロック  $CLK$  を発生する。PWM 信号  $GATE13$  と  $GATE42$  は半周期間だけ交互に PWM 信号を出力し、PWM 信号を出力しない半周期間はオフ指令を出力する。ゲート駆動部 18 と 19 は PWM 信号がオン指令のとき、オンのゲート信号  $GATE1$  と  $GATE4$  を出力すると同時にオフのゲート信号  $GATE3$  と  $GATE2$  を出力し、PWM 信号がオフ指令のとき、ゲート信号  $GATE1$  と  $GATE4$  はオフとなり  $GATE3$  と  $GATE2$  はオンとなる。

【0003】 従って、インバータ 5 が正の交流半波電圧を出力する期間は、スイッチ素子  $S2$  がオン、スイッチ素子  $S4$  がオフとなりスイッチ素子  $S1$  と  $S3$  が互いに補完しながらオン、オフして  $V_P - V_C$  の電圧範囲でパルス幅変調された正の交流半波電圧を出力する。また、インバータ 5 が負の交流半波電圧を出力する期間は、スイッチ素子  $S1$  がオフ、スイッチ素子  $S2$  がオンとなり、スイッチ素子  $S3$  と  $S4$  が互いに補完しながらオン、オフして  $V_C - V_N$  の電圧範囲でパルス幅変調された負の交流半波電圧を出力する。過電流検出部 9 は電流検出器 8 の検出信号  $I$  が所定値を越えると過電流検出信号  $OC$  を出力し、ゲート駆動部 18、19 はこの過電流検出信号  $OC$  によりゲート信号  $GATE1 \sim 4$  を一斉にオフ状態とし、保護動作を行う。

【0004】 上記従来のゲート駆動部 18 の詳細構成を図 5 (a) に示す。図 5 (a) において、71 と 72 は遅れ時間  $T_d$  を持たせるためのタイマカウンタで、入力端子  $I_N$  が  $HIGH$  になった時点で入力端子  $CK$  のクロックパ

ルスのカウントを開始させ予定されたカウント値に達した時点で出力端子OUTをHIGHとし、入力端子IHがLOWになると直ちに出力端子OUTをLOWにする。73と74は最小パルス幅Tminを確保するためのタイマカウンタで、入力端子INがHIGHになった時点で直ちに出力端子OUTをHIGHにすると同時に入力端子CKのクロックパルスのカウントを開始させ、予定されたカウント値に達するまでは入力端子INがLOWになっても出力端子OUTをHIGHに保つ。

【0005】上記構成において、図5(b)に示すようにPWM信号GATE13が入力されると、タイマカウンタ71はGATE13の立上り時点でクロックパルスCLKのカウントを開始し予定されたカウント値に達するまでの遅れ時間Tdを持った信号GATE1Aを出力する。過電流検出信号OCは通常1(HIGH)となっており、アンド回路75の出力GATE1BはGATE1Aと同じ信号となる。タイマカウンタ73はGATE1Bの立上り時点でクロックパルスCLKのカウントを開始すると同時にゲート信号GATE1を1(HIGH)とし、予定されたカウント値に達するまでの最小パルス幅Tminを経過した時点でGATE1Bが0(LOW)になると直ちにゲート信号GATE1を0(LOW)にする。

【0006】一方、PWM信号GATE13はノット回路77を介して反転されたPWM信号GATE13Bとなり、タイマカウンタ72に入力され、前述と同様に遅れ時間Tdを持った信号GATE3Aとなり、タイマカウンタ74を介してゲート信号GATE3が出力され、図5(b)に示すようにGATE1とGATE3は互いに補完関係となって動作する。

【0007】なお、最小パルス幅Tminは、スイッチ素子に並列接続されるスナバコンデンサの充電電荷を放電させるために設けられている。このような状態で運転しているとき、過電流検出信号OCが0(LOW)になると、アンド回路75と76の出力信号GATE1BとGATE3Bは共に0(LOW)となりゲート信号GATE1とGATE3は共に0(LOW)となる。この場合、図5(b)に示すように、GATE1Bが1(HIGH)になった直後t2にOCが0(LOW)になるとGATE1Bは直ちに0(LOW)になるがGATE1は最小パルス幅Tminを経過して0(LOW)となっており、過電流保護を行う。

【0008】また、GATE3Aが1(HIGH)となっている時点t1においてOCが0(LOW)になるとGATE3Bは直ちに0(LOW)になり、GATE3は最小パルス幅を経過して0(LOW)となり過電流保護を行う。

【0009】

【発明が解決しようとする課題】しかし、従来の過電流保護では、電流をしゃ断するタイミングによってスナバコンデンサの電圧が上昇し、スイッチ素子を過電圧によ

り損傷する危険がある。例えば、図6(a)に示すように、スイッチ素子S1とS2を介して電流iが流れている時点で過電流が検出されたとき、スイッチ素子S1がオフして電流がしゃ断され、しゃ断直後に図6(b)に示す主回路の浮遊インダクタンスによる放電電流経路が形成され、ダイオードDS1を介してスナバコンデンサCS1に充電電流が流れる。この充電電流によりスナバコンデンサCS1の電圧が上昇し、スイッチ素子S1のアノード、カソード間電圧VS1は図8(a)に示すように上昇し、最終的にはVpとなる。また、図7(a)に示すように、中性点からダイオードとスイッチ素子S2を介して電流iが流れている時点で過電流が検出されたとき、スイッチ素子S2がオフして電流iがしゃ断され、その直後に、図7(b)に示すように、主回路の浮遊インダクタンスによる放電電流が流れ、ダイオードDS2を介してスナバコンデンサCS2に充電電流i1が流れる。この充電電流i1によりスナバコンデンサCS2の電圧が上昇し、スイッチ素子S2のアノード、カソード間電圧VS2は図8(b)に示すように上昇する。そしてVNを越えると、電源側の中性点とスイッチ素子S2間の浮遊インダクタンスによる放電電流はスナバコンデンサCS1と抵抗RS1を介して分流し、スナバコンデンサCS1の充電電荷が放電され、スイッチ素子S1のアノード、カソード間電圧VS1は図8(b)に示すようにVpの電圧から減少する。この結果、スイッチ素子S1とS2の負担電圧にアンバランスが生じ、スイッチ素子S2を過電圧により損傷する危険がある。

【0010】本発明は、上記の問題を解決しようとしてなされたもので、その目的とするところは、過電流保護を行うときに、中性点電位にクランプするスイッチ素子が電流をしゃ断しないようにして過電圧から保護するようにした中性点クランプ式インバータを提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明は、2組のスイッチ素子の直列回路で成る正側アームと負側アームを直列接続して直流電圧源の正負間に接続すると共に正側アームと負側アームの接続点から交流出力を得るブリッジ回路を備え、前記正側アームと負側アームの2組のスイッチ素子の直列接続点を前記直流電圧源の中性点電位にクランプするダイオードをそれぞれ接続した中性点クランプ式インバータにおいて、次のような手段を設ける。

(1) 請求項1の発明として、交流出力の電流が所定値を越えるとき、前記正側アームと負側アームの直流電圧源側に接続されたスイッチ素子をオフすると共に交流出力側に接続されたスイッチ素子のスイッチング状態を継続させる過電流保護手段を設ける。

(2) 請求項2の発明として、正あるいは負の交流半波電圧を出力させるための正あるいは負のPWM信号のオ

ン／オフ指令に応じて前記正側アームあるいは前記負側アームの直流電圧源側に接続されたスイッチ素子をオン／オフすると共に、前記負側アームあるいは前記正側アームの交流出力側に接続されたスイッチ素子をオフ／オンするゲート信号を出力するゲート駆動部を備え、交流出力の電流が所定値を越えるとき、直流電圧源側に接続されたスイッチ素子をオフすると共に一定時限後に交流出力側に接続されたスイッチ素子をオンにする過電流保護手段を設ける。

(3) 請求項3の発明として、正あるいは負の交流半波の電圧基準と正あるいは負の電圧範囲のパルス幅変調波を比較して正あるいは負の交流半波電圧を出力させるPWM信号を出力するPWM制御手段と、該PWM信号のオン／オフ指令に応じて直流電圧源側のスイッチ素子をオン／オフすると共に、交流出力側のスイッチ素子をオフ／オンするゲート駆動部と、交流出力の電流が所定値を越えるとき、前記正あるいは負の交流半波の電圧基準を零にする過電流保護手段を設ける。

【0012】

【作用】

(1) 請求項1の発明は、過電流になったとき、前記過電流保護手段によって、正側アームと負側アームの直流電圧源側のスイッチ素子により過電流をしゃ断し、交流出力側のスイッチ素子のスイッチング状態をその時点の状態で継続させ、結果として交流出力側のスイッチ素子では電流をしゃ断しないようにする。

(2) 請求項2の発明は、過電流になったとき、前記過電流保護手段によって、正側アームと負側アームの直流電圧源側のスイッチ素子により過電流をしゃ断すると共に交流出力側のスイッチ素子をオンにして、交流出力側のスイッチ素子では電流をしゃ断しないようにする。

(3) 請求項3の発明は、過電流になったとき、前記過電流保護手段によって電圧基準が零にされ、PWM制御手段から出力されるPWM信号をオフ指令とする。これによりゲート駆動部は、正側アームと負側アームの直流電圧源側のスイッチ素子により過電流をしゃ断すると共に交流出力側のスイッチ素子をオンにして、交流出力側のスイッチ素子では電流をしゃ断しないようにする。

【0013】

【実施例】本発明の請求項1に対応する実施例を図1(a)に示す。本実施例は、図4に示す中性点クランプ式インバータのゲート駆動部18の詳細構成を示したもので、タイマカウンタ71～74は従来と同じものであるがその周辺回路が異なっている。すなわち、アンド回路78が新たに設けられ、過電流検出信号OCが0 (LOW) になったとき、タイマカウンタ72のクロックパルスの入力を禁止する構成としている。

【0014】上記構成において、OCが1 (HIGH) のとき、ゲート駆動部は従来と同様に動作する。ここで図1 (b) に示すように、GATE 1 Aが1 (HIGH) 50

H) に立上った直後  $t_2$  にOCが0 (LOW) になるとGATE 1 Bは直ちに0 (LOW) となり、GATE 1はタイマカウンタ73の作用により最小パルス幅  $T_{min}$  を経過して0 (LOW) となり、スイッチ素子S1をオフにして過電流をしゃ断する。また、 $t_2$  以後タイマカウンタ72のクロックパルスが禁止されGATE 3 Aは0 (LOW) に保持されGATE 3も0 (LOW) を継続して出力し、スイッチ素子S3はオフ状態を継続する。また、GATE 3 Aが1 (HIGH) となっている時点  $t_1$  において、OCが0 (LOW) になると、タイマカウンタ72はその時点の出力状態を保持してGATE 3 Aは1 (HIGH) の状態を継続し、GATE 3も1 (HIGH) を継続しスイッチ素子S3はオン状態を継続する。

【0015】本実施例によれば、インバータの交流出力が過電流となったとき、スイッチ素子S1とS4をオフにして過電流のしゃ断を行うと共にスイッチ素子S2とS3のスイッチ状態を変化させないようにして、スイッチ素子S2とS3では過電流のしゃ断を行わないようにすることができる。

【0016】本発明の請求項2に対応する実施例を図2(a)に示す。本実施例も図4に示す中性点クランプ式インバータのゲート駆動部18の詳細構成を示したもので、タイマカウンタ71～74は前述と同じものであるが、その周辺回路が異なっている。すなわち、タイマカウンタ72の入力端子INはオア回路58の出力に接続され、オア回路58にはノア回路57とアンド回路59の出力が接続され、ノア回路57にタイマカウンタ73の出力GATE 1と過電流検出信号OCが入力され、アンド回路59にはノット回路77の出力GATE 13 Bと過電流検出信号OCが入力される構成としている。

【0017】上記構成において、OCが1 (HIGH) のとき、ノア回路57のゲートが禁止されると共にアンド回路59のゲートが開かれ、オア回路58を介してPWM信号GATE 13 Bがタイマカウンタ72の端子INに入力され、ゲート駆動部は従来と同様に動作する。

【0018】ここで、図2 (b) に示すように、GATE 1 Aが1 (HIGH) に立上った直後  $t_2$  にOCが0 (LOW) に変化すると、GATE 1は前述と同様にして最小パルス幅  $T_{min}$  を確保して0 (LOW) となりスイッチ素子S1をオフにして過電流をしゃ断する。GATE 1が0 (LOW) になるとノア回路57の出力が1 (HIGH) となりオア回路58を介してタイマカウンタ72のINが1 (HIGH) となりクロックパルスのカウントが開始される。そして遅れ時間  $T_d$  後にGATE 3 Aが1 (HIGH) となり、タイマカウンタ74の出力GATE 3が1 (HIGH) となってスイッチ素子S3はオン状態となる。

【0019】また、GATE 13 Bが1 (HIGH) に立上っている時点  $t_1$  でOCが0 (LOW) に変化する

と、タイマカウンタ72はGATE 1が0 (LOW) になった時点から遅れ時間Td 後にGATE 3Aを1 (HIGH) にしてその状態を継続する。本実施例によれば、インバータの交流出力が過電流になったとき、スイッチ素子S1 とS4 をオフにして過電流をしゃ断すると共にスイッチ素子S2 とS3をオンにして過電圧保護を行うことができる。

【0020】本発明の請求項3に対応する実施例を図3に示す。本実施例の場合も、全体構成は図4と同じであるが、電圧基準出力部10とゲート駆動部18、19の構成が図3(a)(b)に示すように異なっている。電圧基準出力部10は、コントローラ10aと正負分離部10bとの間に過電流検出信号OCで動作する切換スイッチ10cが設けられ、OCが検出されたとき電圧基準を零にする。ゲート駆動部18はOCに無関係に従来の通常運転の動作を行う。

【0021】上記構成において、OCが1 (HIGH) のとき、切換スイッチ10cはA-C間を閉路し、コントローラ10cから出力される電圧基準Vref がそのまま正負分離部10bへ入力され、従来と同様の運転が行われる。ここで、OCが0 (LOW) に変化すると、切換スイッチ10cはB-C間を閉路して0レベルの電圧基準を出力する。これによりVref-p, Vref-N は共に0になりコンパレータ16, 17から出力されるPWM信号GATE 13, GATE 42は共に0 (LOW) となる。GATE 13が0になるとGATE 1Aが0になり、更にGATE 1が0になってスイッチ素子S1 がオフする。一方、GATE 13が0になるとタイマカウンタ72がスタートし一定時間後にGATE 3Aを1とし、タイマカウンタ74を介してGATE 3を1とし、スイッチ素子S3 をオンに30 する。

【0022】本実施例によれば、インバータの交流出力が過電流になったとき、スイッチ素子S1 とS4 をオフにして過電流をしゃ断すると共に、スイッチ素子S2 とS3をオンにして過電圧保護を行うことができる。

#### 【0023】

【発明の効果】本発明によれば2組のスイッチ素子の直列回路で成る正側アームと負側アームを直列接続して直

流電圧源の正負間に接続すると共に正側アームと負側アームの接続点から交流出力を得るブリッジ回路を備え、前記正側アームと負側アームの2組のスイッチ素子の直列接続点を前記直流電圧源の中性点電位にクランプするダイオードをそれぞれ接続した中性点クランプ式インバータにおいて、過電流をしゃ断するときに、交流出力側に接続されたスイッチ素子を過電圧から保護することができ、信頼性の向上した中性点クランプ式インバータを提供することができる。

#### 10 【図面の簡単な説明】

【図1】本発明の請求項1に対応する実施例で、(a)は要部構成図、(b)はタイムチャート

【図2】本発明の請求項2に対応する実施例で、(a)は要部構成図、(b)はタイムチャート

【図3】本発明の請求項3に対応する実施例で、(a)は電圧基準出力部、(b)はゲート駆動部

【図4】本発明の適用される中性点クランプ式インバータの全体構成図

20 【図5】(a)は従来装置の要部構成図、(b)はそのタイムチャート

【図6】インバータ主回路の過電流しゃ断モード図で、(a)はしゃ断前、(b)はしゃ断後

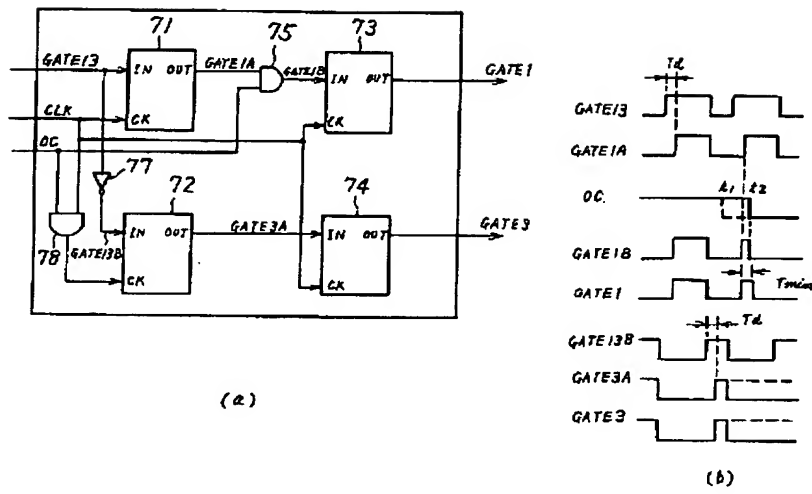
【図7】インバータ主回路の過電流しゃ断モード図で、(a)はしゃ断前、(b)はしゃ断後

【図8】過電流しゃ断時におけるスイッチ素子の電圧波形図で、(a)はスイッチ素子S1 でしゃ断したとき、(b)はスイッチ素子S2 でしゃ断したとき

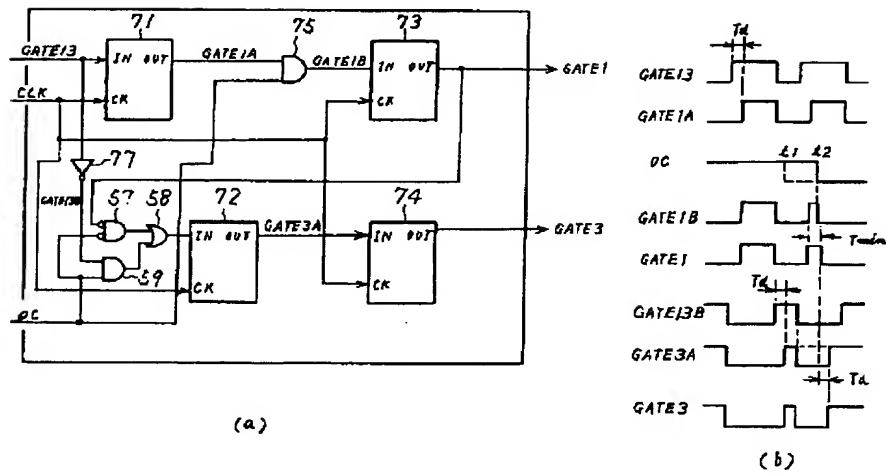
#### 【符号の説明】

1…交流電源	2…コンバータ
3, 4…コンデンサ	5…インバータ
6…交流電動機	7…速度検出器
8…電流検出器	9…過電流検出器
10…基準電圧出力部	10c…切換スイッチ
14…クロック発生部	15…キャリア発生部
16, 17…コンパレータ	18, 19…ゲート駆動部
57…ノア回路	58…オア回路
71~74…タイマカウンタ	59, 75, 78…アンド回路
77…ノット回路	

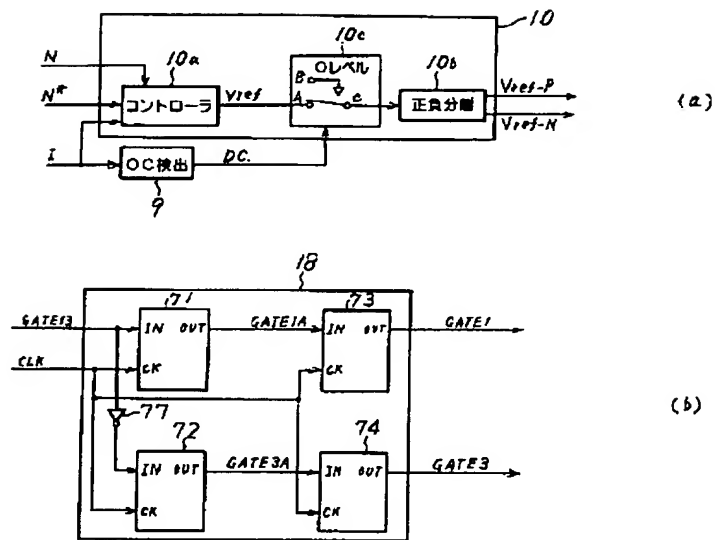
【図1】



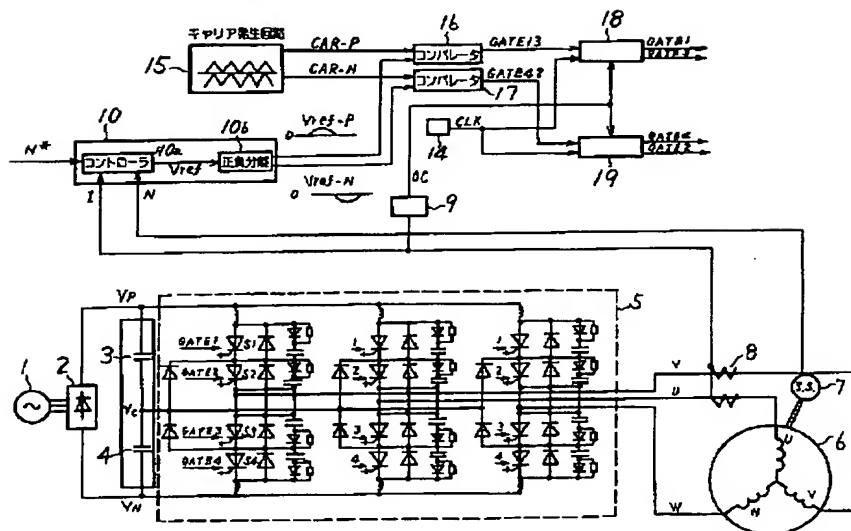
【図2】



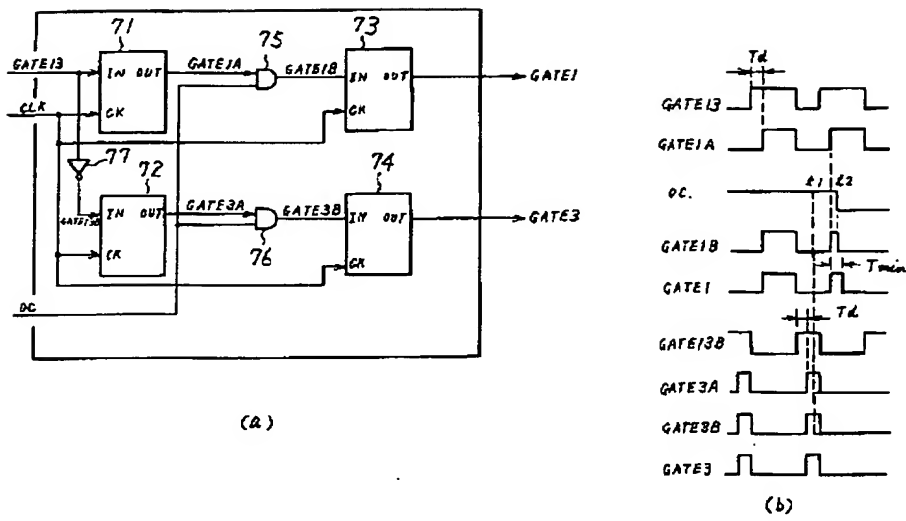
【図 3】



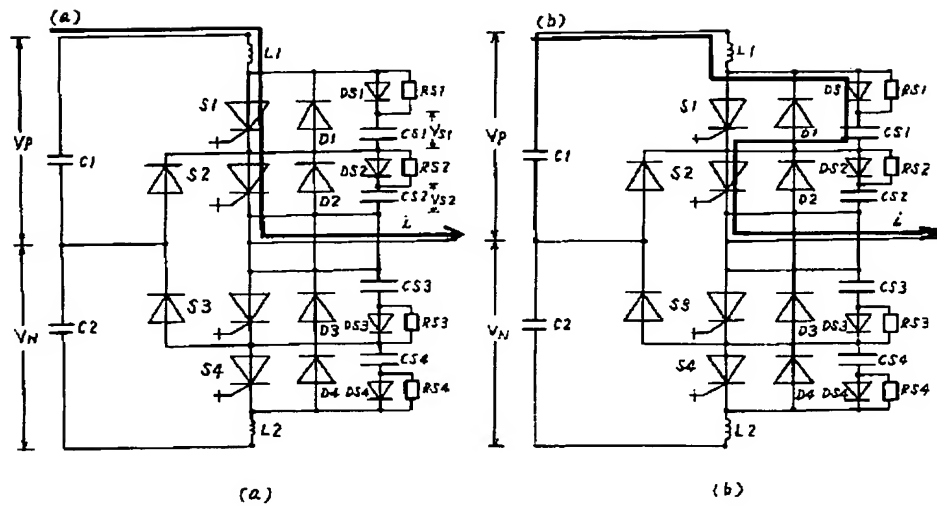
【図 4】



【図 5】

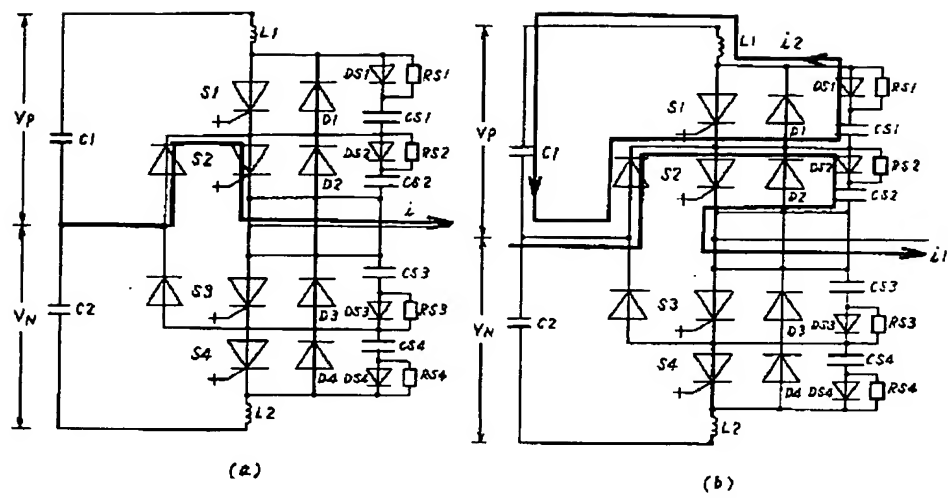


【図 6】

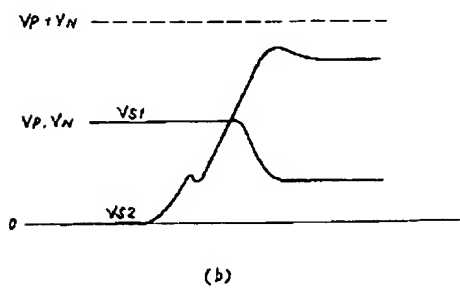
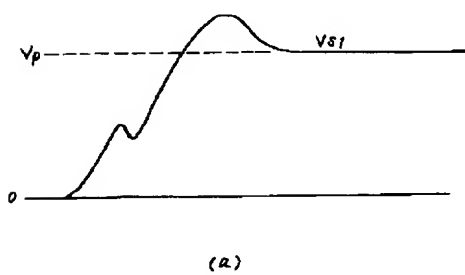




【図 7】



【図 8】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**